



- Legenda**
- PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 1Linia 1 (28 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 1Linia 2 (28 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 2Linia 1 (36 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 2Linia 2 (40 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 3Linia 1 (20 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 3Linia 2 (22 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 1Linia 1 (30 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 1Linia 2 (30 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 2Linia 1 (30 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala A
DALI 1Linia 1 (28 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala A
IESN DALI 2Linia 2 (30 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala A
DALI 3Linia 1 (40 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala A
DALI 3Linia 2 (30 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 3Linia 2 (28 z 64)
 - PARTERRO, 1.Proc. 001/Magistrala B
IESN DALI 3Linia 2 (28 z 64)
 - Procesor oświetleniowy i BACnet (1)
 - Interfejs DALI (9)
 - Regulator fazowy (4)
 - Moduł stycznikowy (2)

Nazwa projektu: Pałac Krasińskich
Lokalizacja:
Warszawa

Autor: Tomasz
Wilczyński

Nazwa pliku:
2017-03-30_Palac_Krasińskich_1232-v10.0.0.txd

Wersja dokumentu:

Data: 04-04-2017
Page: 29

PARTER